

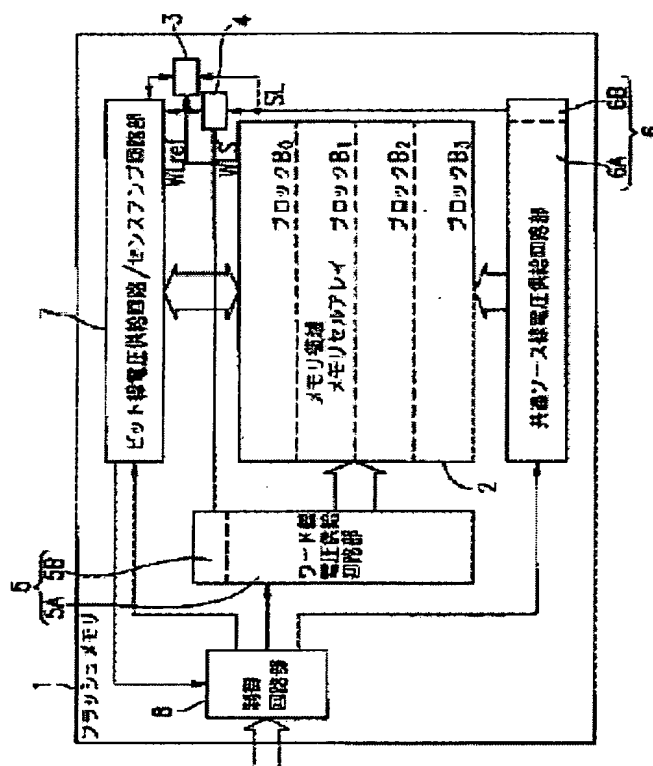
**NON-VOLATILE SEMICONDUCTOR, MEMORY**

**Patent number:** JP2002251888  
**Publication date:** 2002-09-06  
**Inventor:** KAWASAKI YOICHI  
**Applicant:** SHARP KK  
**Classification:**  
- international: (IPC1-7): G11C16/02; G11C16/06; G11C29/00  
- european:  
**Application number:** JP20010051293 20010226  
**Priority number(s):** JP20010051293 20010226

Report a data error here

**Abstract of JP2002251888**

**PROBLEM TO BE SOLVED:** To provide a security circuit of a non-volatile memory in which alternation of security data by a third person is prevented and testability is considered. **SOLUTION:** Erasure is performed simultaneously by sharing a memory cell array 4 for protecting data and a reference cell for read-verify. When data of the reference cell 3 for read-verify is erased, as the non-volatile memory cannot accomplish its role, consequently, alternation of data can be prevented.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-251888

(P 2 0 0 2 - 2 5 1 8 8 8 A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)		
G11C 16/02		G11C 29/00	673	Z	5B025
16/06		17/00	601	P	5L106
29/00	673		633	E	
			634	E	
			635		
審査請求 未請求 請求項の数 9 O L (全14頁)					

(21) 出願番号 特願2001-51293 (P 2001-51293)

(22) 出願日 平成13年2月26日(2001.2.26)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 河崎 陽一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム(参考) 5B025 AA03 AB01 AC01 AD03 AD07

AD08 AD09 AD14 AE09 AE10

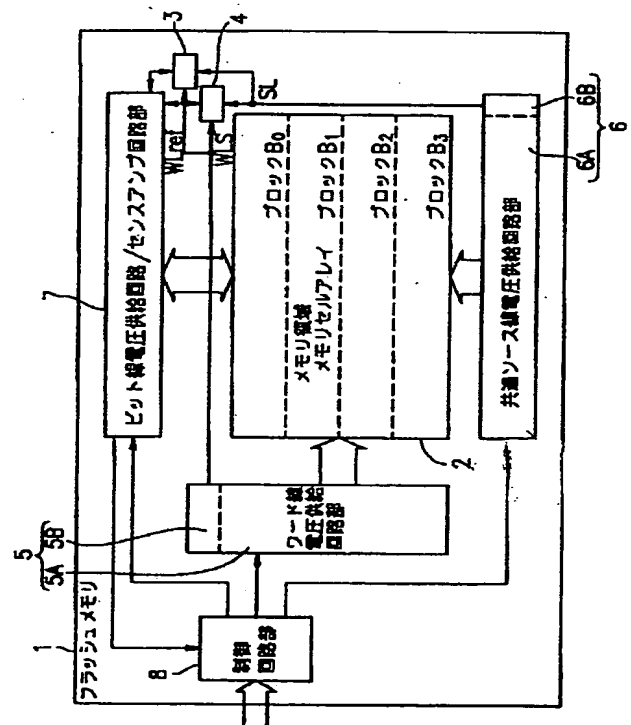
5L106 AA10 DD00 EE02

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 第三者によるセキュリティデータの改竄を防止し、テストビリティも考慮した不揮発性メモリのセキュリティ回路を提供する。

【解決手段】 データ保護情報を記録するためのデータ保護用メモリセルアレイ4と、リード／ペリファイ用リファレンスセル3の消去用の回路を共通にし、同時に消去を行う。リード／ペリファイ用リファレンスセル3を消去するとその不揮発性メモリはメモリとしての役割を果たせなくなるため、結果としてデータの改竄を防ぐ。



## 【特許請求の範囲】

【請求項 1】 データ保護用メモリセルアレイに格納するデータに基づいてデータ領域メモリセルアレイの該当エリアに記憶するデータを保護すると共に、該データ保護用メモリセルアレイおよびデータ領域メモリセルアレイのメモリセルの情報をリファレンスセルを用いて読み出し可能とした不揮発性半導体記憶装置において、データ保護用メモリセルのデータを消去する際に、該リファレンスセルのデータも同時に消去するセキュリティ回路を備えた不揮発性半導体記憶装置。

【請求項 2】 前記メモリセルは、少なくともゲート、ドレインおよびソースを有し、電氣的に情報の書き込みおよび消去可能な浮遊ゲート電界効果トランジスタで構成されており、

前記データ保護用メモリセルアレイは、前記データ領域メモリセルアレイの該当エリアのメモリセルに格納されたデータを書換えおよび消去不可能とするためのデータ保護情報を格納した請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記セキュリティ回路は、前記データ保護用メモリセルのゲートと、前記リファレンスセルのゲートとが共通接続されており、該各ゲートに同時に消去電圧を印加可能とするゲート電圧供給手段と、該データ保護用メモリセルのソースと該リファレンスセルのソースとが共通接続されており、該各ソースに同時に消去電圧を印加可能とするソース電圧供給手段とを有した請求項 2 載の不揮発性半導体記憶装置。

【請求項 4】 前記ソース電圧供給手段が、前記データ保護用メモリセルアレイのメモリセルおよびリファレンスセルの各ソースに同時に高電圧を印加し、かつ前記ゲート電圧供給手段が、該両セルのゲートに同時に負電圧を印加することにより、該両セルのうち一方のセルのしきい値電圧を低下させる場合に該両セルのしきい値電圧を同時に低下させるようにした請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記リファレンスセルは、該データ領域メモリセルアレイおよびデータ保護用メモリセルアレイ内のメモリセルへの書き込み、消去の際の該メモリセルのしきい値電圧を検証するための検証用リファレンスセルおよび、読出しの際のしきい値電圧比較用リファレンスセルを有した請求項 1～4 の何れかに記載の不揮発性半導体記憶装置。

【請求項 6】 前記消去するリファレンスセルは、読出しの際のしきい値電圧比較用リファレンスセルのみである請求項 2 記載の不揮発性半導体記憶装置。

【請求項 7】 前記リファレンスセルは、読出しの際のしきい値電圧比較用リファレンスセルのみである請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 前記データ領域メモリセルアレイは消去がブロック単位で行われ、前記データ保護用の該当エリ

アもブロック単位で設定されている請求項 1～7 の何れかに記載の不揮発性半導体記憶装置。

【請求項 9】 前記データ保護用メモリセルに格納されるデータ保護情報は、前記データ領域メモリセルアレイのブロックに対応した情報である請求項 8 記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、第 3 者によるデータ改竄防止などデータ保護が可能なセキュリティ回路を持つ例えばフラッシュメモリや EEPROM などの不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 近年、不揮発性半導体記憶装置において、データの保護機能が求められており、1 度しかデータを書き込むことができない OTP (One Time Program) 領域、製造工場からの製品出荷時にデータを書き込み、以後、消去などを行えないようにするパーマネントロックビットなど、第 3 者がデータを消去できないようなデータ保護用メモリセルアレイが搭載されている。

【0003】 このデータ保護用メモリセルアレイは、通常のデータ領域とは別にデータ保護用にデータ領域がアドレス設定されており、その設定されたデータ領域に対して特定の方法でデータの書き込みを行い、その所定アドレス情報に対応したデータ領域に対してデータ保護が行われるようになっている。

【0004】 そのデータ保護用のデータ領域に対してデータの書き込み／消去を行う際には、特開昭 62-236053 号公報にあるように、これらのデータ保護用メモリセルアレイに書き込まれたデータ保護情報（設定アドレスなど）を参照することによって、指定したデータ領域が書き換え／消去可能かどうか、即ちデータ保護用のデータ領域かどうかを判定し、その指定領域が書き換え／消去が不可能な場合、即ちデータ保護用のデータ領域の場合には、ユーザに対して、書き込み／消去を許可しないような回路構成をとっている。

【0005】 このように、ユーザが、データ保護用メモリセルアレイにアドレスを一旦書き込むと、書き換えられないような回路構成をとっている。このため、これらのデータ保護用メモリセルアレイに書込まれたデータは、二度と消去できないような回路構成になっている。仮に、このデータ保護用メモリセルアレイに記憶させたデータ保護情報が消去されてしまうと、データ領域に格納する保護されるべきデータが保護されなくなってしまうからである。

【0006】 しかしながら、テストビリティを考慮すると、このデータ保護用メモリセルアレイをテスト時に消去するための回路を内蔵する必要がある。この消去回路として、従来は、データ保護用メモリセルアレイのソース、ワードラインにそれぞれ消去電圧印加回路を接続

し、特定の操作を行うことによってデータ保護情報のクリアを行っていた。

【0007】ところが、データ保護用メモリセルアレイに対する消去回路を内蔵した場合には、第3者によってデータ保護用メモリセルアレイの保護データが書き換えられる可能性がある。データ保護用メモリセルアレイのデータが書き換えられると、OTPなどに対するデータ保護情報が無効になってしまう。このため、第3者によるデータの改竄を許してしまう。

【0008】以上を前提として、最も一般的に用いられているフラッシュメモリとしてETOX (Intel社の登録商標) 型フラッシュメモリのメモリセルの模式的な断面図を図9に示し、これを従来例1として具体的に説明する。

【0009】図9に示すように、メモリセル100はフローティングゲート構造を有しており、P型半導体基板101内にソースSとドレインDが設けられ、ソースSとドレインD間のP型半導体基板(Pウェル)101上にトンネル酸化膜R1を介してフローティングゲートFGが設けられ、フローティングゲートFG上に層間絶縁膜R2を介してコントロールゲートCGが設けられて構成されている。

【0010】このメモリセル100への書き込み(プログラム)時は、表1に示すように、コントロールゲートCGに正の高電圧(例えばDC10V)が印加され、ドレインDには正電圧(例えばDC6V)が印加され、ソースSおよびP型半導体基板(ウェル)101には基準電圧(例えば0V)が印加される。

【0011】

【表1】

	コントロールゲート	ドレイン	ソース	基板(ウェル)
書き込み	10V	6V/0V	0V	0V
消去	-9V	Open	5V	0V
読み出し	5V	1V	0V	0V

【0012】これにより、ドレインDとソースS間のチャネル層では、多くの電流がドレインDからソースSへと流れ、ドレインD領域付近の電界の高い部分でチャネルホットエレクトロンが発生し、フローティングゲートFGに電子が注入されることでメモリセルのしきい値電圧を上昇させ、書き込み状態にする。

【0013】一方、メモリセル100に対するデータ消去(イレース)時は、表1に示すように、コントロールゲートCGには負電圧(例えばDC-9V)が印加され、ソースSには正電圧(例えばDC5V)が印加され、P型半導体基板(ウェル)101には基準電圧(例えば0V)が印加され、さらにドレインDはオープン状態にする。

【0014】これにより、フローティングゲートFGが

らソースS領域に電子を引き抜いて、メモリセル100のしきい値電圧が低下し、消去状態にする。

【0015】また、メモリセル100からのデータ読出し時は、表1に示すように、読み出すべきメモリセル100のコントロールゲートCGに正電圧(例えばDC5V)を印加し、メモリセル100のドレインDおよび、別途設置されている読出し用リファレンスセル(前もって、所定の消去状態のメモリセルのしきい値電圧を有する)のドレインDに、例えばDC1Vを印加して、双方のセルに流れる電流値をセンスアンプS/Aにて比較して電圧値に変換することで、格納されているデータを検出している。

【0016】書き込み(プログラム)状態のメモリセル100のしきい値電圧 $V_{th}$ と、消去(イレース)状態のメモリセル100のしきい値電圧 $V_{th}$ とは異なっており、その分布状態を図10に示している。

【0017】図10において、横軸にメモリセルのしきい値電圧 $V_{th}$ 、縦軸にメモリセルの個数を示しており、消去状態のメモリセルのしきい値電圧 $V_{th}$ はDC1.5V~3.0Vに収まり、書き込み状態のメモリセルのしきい値電圧 $V_{th}$ は、4.5V以上に収まるように書き込みおよび消去条件の制御が為されている。

【0018】この制御は、書き込み動作では書き込みパルスを印加後、後述の書き込み用リファレンスセルのしきい値電圧 $V_{th}$ との比較(書き込みベリファイ)を行いながら、一方、消去動作では、消去パルスを印加後、後述の消去用リファレンスセルのしきい値電圧 $V_{th}$ との比較(消去ベリファイ)を行いながら、さらに、書き込みまたは消去パルスを印加することで、所定しきい値電圧 $V_{th}$ に収めるように制御が為される。

【0019】データ領域メモリセルアレイの1ブロック分のメモリセルアレイの一例を図11に示している。一般的には、ブロックが複数個集まってデータ領域メモリセルアレイを構成しており、1ブロック分のデータ領域メモリセルアレイは、図11に示すように、複数のメモリセル100が行列(縦横)方向に配置されている。ワード線WL0にはm個のメモリセル100のコントロールゲートCGが接続され、以下、ワード線WL1~WL $n-1$ も同様である。また、ビット線BL0にはn個のメモリセル100のドレインDが接続され、以下、ビット線BL1~BL $m-1$ も同様である。同一ブロック内のメモリセルのソースSは、共通化した共通ソース線SLに接続されている。

【0020】図12は、従来のデータ保護用メモリセルアレイを持つフラッシュメモリの要部構成を示すブロック図である。図12において、フラッシュメモリ110は、データ領域メモリセルアレイ111と、リファレンスセルアレイ112と、データ保護用メモリセルアレイ113と、ワード線電圧供給回路部114と、共通ソース線電圧供給回路部115と、ビット線電圧供給回路部

センスアンプ回路部116と、各部を制御する制御回路部117とを有している。

【0021】データ領域メモリセルアレイ111は、本来のデータを格納するものである。

【0022】リファレンスセルアレイ112は、書き込み検証用リファレンスセル、消去検証用リファレンスセル、読出し用リファレンスセルなどのファレンスメモリセルから構成されている。

【0023】データ保護用メモリセルアレイ113は、データ領域メモリセルアレイ111の所定エリアを特定してそのエリアに対してデータ保護を行うためのアドレスなどを格納するものである。これらのリファレンスセルアレイ112およびデータ保護用メモリセルアレイ113も基本的には、データ領域メモリセルアレイ111と同じメモリセルで構成されている。

【0024】ワード線電圧供給回路部114は、データ領域メモリセルアレイワード線電圧供給回路114Aと、リファレンスセルアレイワード線電圧供給回路114Bと、データ保護用メモリセルアレイワード線電圧供給回路114Cとを有しており、制御回路部117からの制御信号およびアドレス信号に基づいて、上記表1のような各種電圧に昇圧させたりしてワード線WL0~WLn-1を選択的に駆動するものである。

【0025】共通ソース線電圧供給回路115は、データ領域メモリセルアレイ共通ソース線電圧供給回路115Aと、リファレンスセルアレイ共通ソース線電圧供給回路115Bと、データ保護用メモリセルアレイ共通ソース線電圧供給回路115Cとを有しており、制御回路部117からの制御信号およびアドレス信号に基づいて、同一ブロック内のソースSを共通化した共通ソース線SLを選択して上記表1（または後述する表2）のような電圧に昇圧させたりして共通ソース線SLを駆動するものである。

【0026】ビット線電圧供給回路／センスアンプ回路部116は、制御回路部117からの制御信号とアドレス信号に基づいて、データ領域メモリセルアレイ111およびデータ保護用メモリセルアレイ113のビット線BL0~BLm-1を、上記表1（または後述する表2）のような電圧に昇圧させたりして選択的に駆動すると共に、書き込み時、消去時、読出し時は選択ビット線を流れる電流を、別に設置されているリファレンスセルアレイ112内の書き込み検証用、消去検証用、読出し用各々のリファレンスセルに流れる電流と比較してセンスアンプ回路で判定し、検証またはデータ読出しを行っている。

【0027】ここで、データ保護用メモリセルアレイ113と関連回路の一回路例を図13に示している。

【0028】図13において、データ保護用メモリセルアレイ113は、複数のメモリセルがコントロールゲートCGを共通にした一つのワード線が、データ保護用メ

モリセルアレイワード線電圧供給回路114Cに接続され、また、各々のソースが共通化されて、データ保護用メモリセルアレイソース線電圧供給回路115Cに接続されている。また、データ保護用メモリセルアレイ113のメモリセルのドレインDは各々のビット線を介して、ビット線電圧供給回路／センスアンプ回路部116に接続されている。

【0029】データ保護用メモリセルアレイ113に格納されているアドレスデータに応じて、データ領域メモリセルアレイ111の該当するエリアにセキュリティをかけたり、逆に該当エリア以外に対してはセキュリティをかけないように制御回路部117が制御する。つまり、データ保護用メモリセルアレイ113内のメモリセルに格納されたセキュリティ情報（アドレス）により、データ領域メモリセルアレイ111内の該当エリアに対するデータ保護の有無が決定される。

【0030】あるデータ保護用メモリセルアレイ113内の一つのメモリセルを書き込み状態（しきい値電圧を4.5V以上）にしておくと、ビット線電圧供給回路／センスアンプ回路部116で読み出され、そのメモリセルが書き込み状態であると判定し、その情報を制御回路部117に出力する。

【0031】制御回路部117は、以後、データ領域メモリセルアレイ111内の該当するエリアの消去および書き込み（データ改竄）を禁止することにより、データ保護が為される。

【0032】逆に、あるデータ保護用メモリセルアレイ113内の一つのメモリセルを消去状態（しきい値電圧が1.5V~3.0V）にしておくと、ビット線電圧供給回路／センスアンプ回路部116で読み出され、そのメモリセルが消去状態であると判定し、その情報を制御回路部117に出力する。

【0033】制御回路部117は、データ領域メモリセルアレイ111内の該当するエリアの消去および書き込みを禁止せず、ユーザはデータの書換えを自由に行うことができる。

【0034】このように、データ保護用メモリセルアレイ113のメモリセルを消去することで、今までセキュリティがかかっていたデータ領域メモリセルアレイ111内の該当するエリアのデータ保護を解除することができる。なお、以上の書き込み、消去および読み出しは、先に説明した通り、上記表1に示す各種電圧をメモリセルの各部に印加することで実現している。

【0035】

【発明が解決しようとする課題】ところが、上記従来の製造過程において、製造過程の何らかの原因で、データ保護用メモリセルアレイ113のしきい値電圧が高くなり、データ保護用メモリセルアレイ113のメモリセルにセットが為された場合、データ保護用メモリセルアレイ113の該当エリアのデータが保護されてしまい、上

記したような消去回路を有しない場合には、テストが行えなくなってしまう。これらデータ保護用メモリセルアレイ113に対するデータ消去をデバイスのテスト初期段階で行う必要がある。

【0036】しかしながら、上記したような消去回路を有する場合には、製品出荷後に、第三者によってデータ保護用メモリセルアレイが消去されるようなことがあると、保護されていたデータの改竄を許すことになるため、製造工場から製品出荷前に消去を防止するための何らかのセキュリティ回路を追加する必要がある。

【0037】これは、前述したように、製造工程でしきい値電圧が高く推移してしまった場合、書き込み状態になるとセキュリティが働いてしまい、テストが行えなくなってしまうからである。フューズ型マスクROMのように配線などを切断してセキュリティ情報を書き込むレーザートリムという方法もあるが、別工程が加わることで、コストが上昇してしまい、あまり良い方法とは言えない。

【0038】本発明は、上記従来の事情に鑑みてなされたもので、第三者によるセキュリティ情報の変更によるデータ改竄を防止すると共にテストビリティの向上を図ることができる不揮発性半導体記憶装置を提供することを目的とする。

【0039】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、データ保護用メモリセルアレイに格納するデータに基づいてデータ領域メモリセルアレイの該当エリアに記憶するデータを保護すると共に、データ保護用メモリセルアレイおよびデータ領域メモリセルアレイのメモリセルの情報をリファレンスセルを用いて読み出し可能とした不揮発性半導体記憶装置において、データ保護用メモリセルのデータを消去する際に、リファレンスセルのデータも同時に消去するセキュリティ回路を備えたものであり、そのことにより上記目的が達成される。

【0040】また、好ましくは、本発明の不揮発性半導体記憶装置におけるメモリセルは、少なくともゲート、ドレインおよびソースを有し、電氣的に情報の書き込みおよび消去可能な浮遊ゲート電界効果トランジスタで構成されており、データ保護用メモリセルアレイは、データ領域メモリセルアレイの該当エリアのメモリセルに格納されたデータを書換えおよび消去不可能とするためのデータ保護情報を格納する。

【0041】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、データ保護用メモリセルのゲートと、リファレンスセルのゲートとが共通接続されており、各ゲートに同時に消去電圧を印加可能とするゲート電圧供給手段と、データ保護用メモリセルのソースとリファレンスセルのソースとが共通接続されており、各ソースに同時に消去電圧を印加可能とするソース電圧供給手段とを有する。

【0042】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるソース電圧供給手段が、データ保護用メモリセルアレイのメモリセルおよびリファレンスセルの各ソースに同時に高電圧を印加し、かつゲート電圧供給手段が、両セルのゲートに同時に負電圧を印加することにより、両セルのうち一方のセルのしきい値電圧を低下させる場合に両セルのしきい値電圧を同時に低下させるようにする。

【0043】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるリファレンスセルは、データ領域メモリセルアレイおよびデータ保護用メモリセルアレイ内のメモリセルへの書き込み、消去の際の該メモリセルのしきい値電圧を検証するための検証用リファレンスセルおよび、読出しの際のしきい値電圧比較用リファレンスセルを有する。

【0044】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、消去するリファレンスセルは、読出しの際のしきい値電圧比較用リファレンスセルのみである。

【0045】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるリファレンスセルは、読出しの際のしきい値電圧比較用リファレンスセルのみである。

【0046】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、データ領域メモリセルアレイは消去がブロック単位で行われ、データ保護用の該当エリアもブロック単位で設定されている。

【0047】さらに、好ましくは、本発明の不揮発性半導体記憶装置において、データ保護用メモリセルに格納されるデータ保護情報は、データ領域メモリセルアレイのブロックに対応した情報である。

【0048】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、請求項4の回路構成ではソースに高電圧を与えていたところを、半導体基板内のソースとドレイン間のチャンネル（ウェル）に与えるようにして、両メモリセルアレイ中のメモリセルのしきい値電圧を低下させる。

【0049】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、双方のソースに請求項4より高い電圧を同時に与えることによって、両メモリセルアレイ中のメモリセルのしきい値電圧を低下させる。

【0050】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、双方のソースに請求項4より高い電圧を同時に与えていたところを、チャンネルに与えるようにして、両メモリセルアレイ中のメモリセルのしきい値電圧を低下させる。

【0051】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、双方のソースに負電圧を与え、ワードラインに高電圧を与えるようにして、両メモリセルアレイ中のメモリセルのしきい値

電圧を上昇させる。

【0052】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、双方のソースに負電圧を与えていたところを、チャンネルに与えるようにして、両メモリセルアレイ中のメモリセルのしきい値電圧を上昇させる。

【0053】さらに、好ましくは、本発明の不揮発性半導体記憶装置におけるセキュリティ回路は、上記したワードラインに与える高い電圧よりも更に高い電圧を与えるようにして、両メモリセルアレイ中のメモリセルのしきい値電圧を上昇させる。

【0054】上記構成により、データ保護用メモリセルアレイの消去時に、同時に、リード／プログラムベリファイ、イレースベリファイ時に使用しているリファレンスビットに接続されたリファレンスセルの情報も消去することによって、万が一セキュリティ情報が消去された場合、読み出し、書込、消去という動作ができないデバイスとなるため、第三者によるデータの改竄を防ぐことができる。また、データ保護用メモリセルアレイの消去時に、同時に、リファレンスセルの情報も消去するので、テストバリティの向上を図ることが可能となる。

【0055】

【発明の実施の形態】以下、本発明の不揮発性半導体記憶装置の実施形態としてフラッシュメモリに適用した場合について図面を参照しながら説明する。

【0056】図1は、データ保護用メモリセルアレイを持つ本発明のフラッシュメモリの一実施形態を示すブロック図である。

【0057】図1において、フラッシュメモリ1は、データ領域メモリセルアレイ2と、リファレンスセルアレイ3と、データ保護用メモリセルアレイ4と、ワード電圧供給手段としてのワード線電圧供給回路部5と、ソース電圧供給手段としての共通ソース線電圧供給回路部6と、ビット線電圧供給回路／センスアンプ回路部7と、各部を制御する制御回路部8とを有している。

【0058】データ領域メモリセルアレイ2は、複数のブロックB<sub>i</sub> (i=0~3; B<sub>0</sub>~B<sub>3</sub>)が集まって構成されており、本来のデータを格納するものである。

【0059】リファレンスセルアレイ3は、書き込み検証用リファレンスセルと、消去検証用リファレンスセルと、読み出し用リファレンスセルとからなっている。

【0060】データ保護用メモリセルアレイ4は、データ領域メモリセルアレイ2の所定エリアを特定してそのエリアに対してデータ保護を行うためのアドレス（データ保護情報）などを格納するものである。

【0061】ワード線電圧供給回路部5は、データ領域メモリセルアレイワード線電圧供給回路5Aと、リファレンスセルアレイ／データ保護用メモリセルアレイワード線電圧供給回路5Bとを有し、制御回路部8からの制御信号およびアドレス信号に基づいて、上記表1のよう

な各種電圧に昇圧させたりしてワード線WL<sub>0</sub>~WL<sub>n-1</sub>を選択的に駆動する。

【0062】共通ソース線電圧供給回路部6は、データ領域メモリセルアレイ共通ソース線電圧供給回路6Aと、リファレンスセルアレイ／データ保護用メモリセルアレイ共通ソース線電圧供給回路6Bとを有し、制御回路部8からの制御信号およびアドレス信号に基づいて、同一ブロック内のソースSを共通化した共通ソース線S<sub>L</sub>を、上記表1（または後述する表2）のような各種電圧に昇圧させたりして選択的に駆動する。

【0063】ビット線電圧供給回路／センスアンプ回路部7は、制御回路部8からの制御信号およびアドレス信号に基づいて、データ領域メモリセルアレイ2およびデータ保護用メモリセルアレイ4のビット線BL<sub>0</sub>~BL<sub>m-1</sub>を、上記表1（または後述する表2）のような各種電圧に昇圧させたりして選択的に駆動すると共に、書き込み時、消去時、読み出し時は選択ビット線を通る電流を、別に設置されているリファレンスセルアレイ3内の書き込み検証用、消去検証用、読み出し用各々のリファレンスセルに流れる電流と比較してセンスアンプ回路で判定し、検証またはデータの読み出しを行っている。

【0064】本発明の特徴は、リファレンスセルアレイ3とデータ保護用メモリセルアレイ4に対して、ワード線電圧供給回路5、ソース線電圧供給回路6が共通化されて、同じワード線駆動電圧および同じソース線駆動電圧が印加される点である。これら回路は、制御回路部8からの制御信号に基づき、上記表1のような各種電圧に昇圧させたりして各々のワード線およびビット線を駆動するものである。

【0065】ここで、本発明の特徴部分の関連回路、即ち、リファレンスセルアレイ3、データ保護用メモリセルアレイ4、リファレンスセルアレイ／データ保護用メモリセルアレイワード線電圧供給回路5B、リファレンスセルアレイ／データ保護用メモリセルアレイ共通ソース線電圧供給回路6B、ビット線電圧供給回路／センスアンプ回路部7および制御回路部8を有するセキュリティ回路について、図2および図3を用いて更に詳細に説明する。

【0066】図2および図3において、フラッシュメモリ1におけるデータ保護用メモリセルアレイ4に対する読み出し／判定回路10は、リファレンスセルアレイ3と、リファレンスセルアレイ／データ保護用メモリセルアレイワード線電圧供給回路5Bと、リファレンスセルアレイ／データ保護用メモリセルアレイ共通ソース線電圧供給回路6Bと、ビット線電圧供給回路7Aとセンスアンプ回路7Bからなるビット線電圧供給回路／センスアンプ回路部7と、制御回路部8とを有している。制御回路部8は、ここでは、センスアンプ回路7BのセンスアンプS/Aの出力を入力すると共に、ビット線選択信号CSEL<sub>0</sub>~CSEL<sub>3</sub>および制御信号RSEL\_P

V, RSEL\_EV, RSEL\_REを出力するものである。

【0067】データ保護用メモリセルアレイ4は、複数のデータ保護用メモリセルBS<sub>i</sub> (i=0~3; BS<sub>0</sub>~BS<sub>3</sub>) からなり、例えば、データ保護用メモリセルBS<sub>i</sub>が書き込み状態であれば、書込んだアドレスに対応するデータ領域メモリセルアレイ2のブロック (またはその該当エリア) にはセキュリティが働き、そのブロック (またはその該当エリア) のデータの消去および書換えはできなくなるように構成されている。

【0068】一方、データ保護用メモリセルBS<sub>i</sub> (i=0~3) が消去状態であれば、対応するデータ領域メモリセルアレイ2のメモリセル領域 (データ領域) のブロック (またはその該当エリア) はセキュリティは働かず、そのブロック (またはその該当エリア) のデータの消去および書換えは自由にできる。

【0069】データ保護用メモリセルアレイ4は、ここでは4つのデータ保護用メモリセルBS<sub>i</sub>が各コントロールゲートCGを共通にして一つのワード線WLSとして、データ保護用メモリセルBS<sub>i</sub>のワード線電圧供給回路5Bに接続され、また、各々のソースを共通にして、データ保護用メモリセルBS<sub>i</sub>のソース線電圧供給回路6Bに接続されている。

【0070】さらに、リファレンスセルアレイ3の読出し用リファレンスセルCell\_RE、書き込み検証用リファレンスセルCell\_PV、消去検証用リファレンスセルCell\_EVの各コントロールゲートCGを共通にして、一つのワード線WL<sub>ref</sub>として、先のデータ保護用メモリセルアレイ4からのワード線WLSと接続されており、また、各々のソース線SLも共通化され、先のデータ保護用メモリセルアレイ4からのソース線と接続されている。

【0071】まず、データ保護用メモリセルアレイ4とその関連回路について、その作用を説明する。

【0072】データ領域メモリセルアレイ2が4つのブロックB<sub>0</sub>~B<sub>3</sub>からなり、例えば一つのブロック内に格納されているデータにセキュリティをかけるか否かの情報を、データ保護用メモリセルアレイ4内の一つのメモリセルが受け持っている。

【0073】つまり、データ保護用メモリセルアレイ4内の一つのメモリセルのセキュリティ情報により、データ領域メモリセルアレイ2内の所定ブロックのデータの保護の要否が決められる。

【0074】あるデータ保護用メモリセルアレイ4内の一つのメモリセルを書き込み状態 (しきい値電圧を4.5V以上) にしておく、ビット線電圧供給回路/センスアンプ回路部7で読出し、そのメモリセルが書き込み状態であると判定し、そのメモリセルの判定情報をセンスアンプS/Aから制御回路部8に出力する。

【0075】制御回路部8は、以後、データ領域メモリ

セルアレイ2内の該当するブロックの消去および書き込みを禁止することで、第3者によるデータ改竄不可、即ち、データ保護が為される。

【0076】逆に、あるデータ保護用メモリセルアレイ4内の一つのメモリセルを消去状態 (しきい値電圧が1.5V~3.0V) にしておく、ビット線電圧供給回路/センスアンプ回路7で読出し、そのメモリセルが消去状態であると判定し、そのメモリセルの判定情報をセンスアンプS/Aから制御回路部8に出力する。

10 【0077】制御回路部8は、データ領域メモリセルアレイ2内の該当するブロックの書き込みおよび消去を禁止せず、データの書換えが自由にできる。

【0078】また、データ保護用メモリセルアレイ4のメモリセルを消去することで、今までセキュリティがかかっていたデータ領域メモリセルアレイ2内の該当するブロックのデータ保護を解除することができるように動作する。

20 【0079】なお、以上の書き込み、消去および読み出しは、先に説明した通りであり、上記表1に示す各種電圧をメモリセルに印加することで実現している。

【0080】まず、データ保護用メモリセルBS<sub>i</sub>への書き込みは、ワード線WLSに正の高電圧 (例えばDC10V) を、書き込みを行うメモリセルのビット線には正電圧 (例えばDC6V) を、書き込みを行わないメモリセルのビット線には基準電圧 (例えば0V) を印加し、ソースSおよびP型半導体基板 (チャネル; Pウェル) には基準電圧 (例えば0V) を印加する (表1を参照)。

30 【0081】これにより、ソースSとドレインD間のチャネル層では多くの電流がドレインDからソースSへと流れ、ドレインD領域付近の電界の高い部分でチャネルホットエレクトロンが発生し、フローティングゲートFGに電子が注入されることでメモリセルのしきい値電圧を上昇させ、書き込み状態にする。

【0082】一方、消去 (イレース) は、ワード線WLSには負電圧 (例えばDC-9V) が、ソースSには正電圧 (例えば、5V) を、P型半導体基板 (Pウェル) には基準電圧 (例えば0V) を印加し、さらに、ドレインDをオープンにする。

40 【0083】これにより、フローティングゲートFGからソースS領域に電子を引き抜いて、メモリセルのしきい値電圧を低下させて、消去状態にする。この消去は、データ保護メモリセルアレイ4とリファレンスセルアレイ3 (読出し用、書き込み検証用、消去検証用) を、同時に行うものである。

【0084】次に、データ保護用メモリセルアレイ4の読出しについて、リファレンスセルアレイ3とその関連回路について、その作用を説明する。

【0085】データ保護用メモリセルアレイ4のデータ保護用メモリセルBS<sub>i</sub>のコントロールゲートCGに入

力されるワード線WLSに正電圧（例えばDC5.0V）を印加する。また、各メモリセルのソースSに接続される共通ソース線SLおよびP型半導体基板（チャネル；Pウェル）は基準電圧0Vにする。

【0086】メモリセルのドレインDに接続されるビット線BL0～BL3から、読み出すべきメモリセルに接続されているビット線（例えばBL0）を選択するため、制御回路部8からのビット線選択信号CSEL0をハイレベルにしてMOSトランジスタT00をオンさせる。他のビット線選択トランジスタT01～T03はオフ状態とする。

【0087】メモリセルのしきい値電圧の検証は、既に行き込みが行われて所定のしきい値電圧になっている読出し用リファレンスメモリセルCell\_REのしきい値電圧（例えば3.8V）と比較して行う。なお、書き込み検証用リファレンスメモリセルCell\_PV（しきい値電圧4.5V）、消去検証用リファレンスメモリセルCell\_EV（しきい値電圧3.0V）も設置されているが、同様であるので、ここでの説明は省略する。

【0088】読出し用リファレンスセルCell\_REにつながるMOSトランジスタT<sub>11</sub>をオンさせるために、制御回路部8からの選択信号RSEL\_REをハイレベルにして、読出し用リファレンスメモリセルCell\_REを選択する。

【0089】リファレンスセル用ワード線Wlref線（先述のデータ保護用メモリセルアレイのワード線WLSと接続）にも、ワード線WLSと同じ正電圧（例えばDC5V）が印加されている。

【0090】メモリセルのドレインDには、読出し時、メモリセルへのディスタブを考慮して、ドレインバイアス（Drain#bias）回路71およびリファレンスドレインバイアス（Drain#bias#Ref）回路72により、メモリセルへ接続されるノードBL\_MEMおよびノードBL\_REfが1V以下になるように制限されている。

【0091】負荷回路（LOAD）73を介して電源Vccより電流を、選択されたデータ保護用メモリセルに供給されると共に、負荷回路（LOAD）74を介して電源Vccより電流を、選択された読出し用リファレンスセルCell\_REに供給される。

【0092】データ保護用メモリセルアレイ4内の選択されたメモリセルでは、書き込みまたは消去状態に応じて電流が流れる。ここで、選択されたメモリセルのしきい値電圧が、書き込み状態（しきい値電圧が4.5V以上）であれば、ノードBL\_MEMを流れる電流は、リファレンスセル側のノードBL\_REfを流れる電流より少なくなる。この電流値の違いは、センスアンプS/Aの入力段のノードSAINおよびノードSAIN\_REfでは電圧値の違いに変換されてセンスアンプS/Aの入力段に入力される。

【0093】この場合は、負荷回路73、74による電圧降下により、センスアンプS/Aに入力される電圧VSAINが電圧VSAIN\_REfよりも高い電圧となる。これにより、センスアンプS/Aは、ハイレベル「1」を制御回路部8に出力する。

【0094】逆に、データ保護用メモリセルアレイ4内の選択されたメモリセルが消去状態（しきい値電圧が1.5V～3.0V）であれば、負荷回路73、74による電圧降下により、センスアンプS/Aに入力される電圧VSAINが電圧VSAIN\_REfよりも低い電圧となる。これにより、センスアンプS/Aは、ロウレベル「0」を制御回路部8に出力する。

【0095】これにより、読出し用リファレンスセルCell\_REを用いてのデータ保護用メモリセルBSiの読出しができる。

【0096】読出し結果は制御回路部8に出力され、制御回路部8において、読出し結果「1」または「0」に応じて、データ領域メモリセルアレイ2の該当ブロックのセキュリティの要否が判定され、セキュリティ要（該当するデータ保護用メモリセルが書き込み状態）であれば、該当するブロックへの消去および書き込みは禁止される。

【0097】一方、セキュリティ否（該当するデータ保護用メモリセルが消去状態）であれば、該当するブロックへの消去および書き込みは自由にできる。

【0098】データ領域メモリセルアレイ2のデータ読出しは、この読出し用リファレンスセルCell\_REを用いて、データ保護用メモリセルを読出した方法と同様に行う。この場合、図3のデータ保護用メモリセルアレイ4をデータ領域メモリセルアレイ2に置換えた形となる。

【0099】ところが、第三者がセキュリティのかかっているデータ領域メモリセルアレイ2のブロックのデータを改竄（データ書換え）するため、まず、該当するデータ保護用メモリセルBSiを消去しようとする、本発明の場合、同時にリファレンスセルアレイ（読出し用、書き込み検証用、消去検証用リファレンスセル）も消去され、消去状態となる。

【0100】これにより、データ保護用メモリセルBSiに対して、一旦セキュリティ解除のため消去動作を行った不揮発性半導体半導体装置は、読出し用リファレンスセルのしきい値電圧が消去状態のしきい値電圧（1.5V～3.0V）として低くなっているため、以後、データ領域メモリセルのデータを読出すと、本来、消去状態でセンスアンプS/Aの出力が確実に「0」になるべきデータが格納されたメモリセルにおいて、「1」の出力も出てくることになり、正しいデータの読出しができなくなる。

【0101】さらに、書き込み検証用リファレンスセルおよび消去検証用リファレンスセルも同様に消去状態と

なり、予め設定していたしきい値電圧値（4.5V、3.0V）が変更されてしまうため、以後、書き込み時および消去時において、所定の値に到達したかどうかの検証（ベリファイ）ができなくなるため、不揮発性半導体記憶装置は、本来の機能が果たせなくなり、デバイスとしての使用が不可能となる。

【0102】さらに繰り返して説明すると、データ保護情報を記録するためのデータ保護用メモリセルアレイ4と、リード／ベリファイ用リファレンスセル3の消去用の回路を共通にし、同時に消去を行う。リード／ベリファイ用リファレンスセル3を消去するとその不揮発性メモリはメモリとしての役割を果たせなくなるため、結果としてデータの改竄を防ぐ。

【0103】これにより、第3者により、改竄が行われ、データが書換えられた不揮発性半導体メモリ装置を識別し、市場から排除することができる。

【0104】また、工場からの製品出荷前のテスト工程において、不揮発性半導体記憶装置を一括消去（データ保護用メモリセルも消去状態）にした後、全メモリセルの書き込み、読出し、消去のテストを容易にでき、製品出荷後の保護データの改竄防止のために特別な回路は不用であることから、これによる回路規模の増大もない。

【0105】また、データ保護用メモリセルアレイ4とリファレンスセルアレイ3は、ワード線WL、ソース線SLが共有化されており、同時に消去できると共に同時にテストできるため、テストのシーケンスが簡略化できるので、製品出荷前のテスト時間を短縮化することができる。

【0106】なお、本実施形態では、データ保護用メモリセルアレイ4と、リファレンスセルアレイ3（書き込み検証用、消去検証用、読出し用）とが同時に消去されるような構成にしたことがポイントであり、特に説明しなかったが、上記2つのメモリセルアレイ3、4が不揮発性半導体記憶装置で構成されていれば適用可能である。したがって、例えば、メモリセルアレイ3、4の構成の異なるNAND型、AND型、NOR型、ACT

	コントロール ゲート	ドレイン	ソース	P ウェル	N ウェル	P型 基板
書き込み	10V	6V/0V	0V	0V	3V	0V
消去	-9V	Open	Open	6V	9V	0V
読み出し	5V	1V	0V	0V	3V	0V

【0112】上記表2は、書き込みはホットエレクトロンを用い、消去はFNトンネル現象によりフローティングゲートFGからチャンネル層に電子を引き抜くチャンネル消去の例である。なお、上記表1および表2の書き込み時のドレイン印加電圧の記載は、書き込むべきメモリセルのドレインDには6Vを、書き込みを行わないメモリセルのドレインDには0Vを印加するという意味である。

【0113】また、本実施形態では、データ保護用メモリ

(Asymmetrical Contactless Transistor) 型メモリセルアレイ構成などにも、容易に適用可能である。

【0107】また、ACT型メモリセルアレイ構成では、書き込み状態と消去状態のしきい値電圧値が逆転し、書き込み状態がしきい値電圧3.0V以下、消去状態が4.5V以上となるが、この場合でも、一括して消去状態にした後、セキュリティ用のブロックを担当しているデータ保護用メモリセルを書き込み状態にすることでセキュリティをかけることができ、上記本実施形態の場合と同様である。

【0108】また、上記した書き込み印加電圧、消去印加電圧、読出し時印加電圧は、あくまで一例である。例えば、消去時、ワード線WLに負電圧を印加する例で説明しているが、基準電圧0Vを印加する方式でも勿論良い。

【0109】また、これまでの説明は、「1」の値、「0」の値の2値不揮発性半導体記憶装置で、説明を行っているが、4値、8値のような多値不揮発性半導体記憶装置であっても、本発明を適用できることは言うまでもないことである。

【0110】また、本実施形態では、ホットエレクトロンを用いた書き込みおよび消去を例に挙げて説明したが、メモリセル構成として、トリプルウェル構造（図14のように、P型半導体基板とチャンネル層のあるPウェルとを電気的に分離するNウェルを有した構造）でPウェルに所定の電圧を印加させ、ソースSおよびドレインDとそれらの間のチャンネル層とを同電位にして、ソースSおよびドレインD間のチャンネル層とフローティングゲートFG間でFN（ファウラーノードハイム）トンネル現象により電子を注入または引き抜くことで、メモリセルのしきい値電圧を低下させる方式においても本発明は容易に適用できる。この場合の電圧印加例を表2に示している。

【0111】

【表2】

リセルアレイ4は、データ領域メモリセルアレイ2の所定ブロックに対応して設置された例であるが、その所定ブロックは幾つかのブロックに分割しても良いし、所定ブロック内または、所定ブロック間にまたがる所定エリアに対応していてもよく、他の方法でもよい。例えば、ビット単位でメモリセルのアドレスを格納（最初のアドレス、最後のアドレス）する方式でも良い。

【0114】ただ、データ保護用メモリセルBSiに格

納されたアドレス（保護データ）は、ブロック単位でブロックナンバーを利用した方が、データ保護用メモリセルBSiも少なくすみ、また、不揮発性半導体記憶装置の場合、消去はブロック単位または全ブロック一括となるため、整合性も良い。

【0115】また、本実施形態では、データ保護用メモリセルの消去は、リファレンスセル全て消去状態になる例について説明したが、例えば、読出し用リファレンスセルだけが消去される場合でも読出しが不可となり簡易なセキュリティは実現できるが、これは読出し用リファレンスセルのコントロールゲートCGに接続されるワード線WLのみデータ保護用メモリセルアレイと共通化することにより、簡単に実現できる。

【0116】なお、本発明では、データ保護用メモリセルアレイ4にデータ改竄のため、消去動作を行ったものは、不揮発性半導体記憶装置としての正常な動作は不可となるが、データ領域メモリセルのセキュリティをかけるブロックを、のちにさらに別のブロックにも追加したい場合は、該当するデータ保護用メモリセルを書き込み状態にするだけであるので、容易に実現できる。

【0117】なお、本実施形態では、特に説明しなかったが、ワード線電圧供給回路5（ゲート電圧供給手段）の一具体例についてさらに詳細に説明する。

【0118】図4のワード線電圧供給回路5は、ワード線出力部、電圧切換部（Vccレベルとhvnegレベルの切換）、正の高電圧レベルシフト回路HVおよび負の高電圧レベルシフト回路NVからなっている。

【0119】正の高電圧レベルシフト回路HVの回路の具体例を図5に示し、負の高電圧レベルシフト回路NVの回路の具体例を図6に示している。

【0120】図5において、正の高電圧レベルシフト回路HVは、入力信号inが、ハイレベル（電源電圧Vccレベル）の時、ハイレベル（電圧hhinレベル）にレベル変換し、一方、入力信号inがロウレベル（基準電圧0Vレベル）の時、ロウレベル（基準電圧0Vレベル）にレベル変換して出力hhoutから出力する回路である。なお、hhoutbは、hhoutの反転出力端子である。

【0121】図6において、負の高電圧レベルシフト回路NVは、入力信号inが、ハイレベル（電源電圧Vccレベル）の時、ハイレベル（電源電圧Vccレベル）にレベル変換し、一方、入力信号inがロウレベル（基準電圧0Vレベル）の時、ロウレベル（負の高電圧hninレベル）にレベル変換して出力hnoutから出力する回路である。なお、hnoutbは、hnoutの反転出力端子である。

【0122】まず、データ保護用メモリセルへの書き込みは、信号線hwlmxおよびhhinに、例えば、10Vを出力し、制御信号mwlonをハイレベルにする。

【0123】これにより、正の高電圧レベルシフト回路HVの出力端子hhoutbはロウレベルとなるため、ワード線出力部のMOSトランジスタP1がオンして、MOSトランジスタN1がオフ状態であることから、ワード線には10Vが出力される。

【0124】なお、本実施形態では、特に説明しなかったが、ソース線電圧供給回路6（ソース電圧供給手段）の一具体例についてさらに詳細に説明する。

【0125】図7において、ソース線電圧供給回路6は、ソース線SLへの出力部と、正の高電圧レベルシフト回路HVからなっている。制御信号erswelをロウレベル（基準電圧レベル）にすることで、正の高電圧レベルシフト回路HVの出力は、hhoutbがハイレベル（hvs電圧レベル）となることから、出力部のMOSトランジスタP1はオフとなり、MOSトランジスタN1はオン状態となることから、ソース線SLには基準電圧0Vが出力される。

【0126】続いて、ビット線電圧供給回路／センスアンプ回路7のうちビット線電圧供給回路7Aのみを図8に示している。

【0127】図8において、ビット線電圧供給回路7Aは、ビット線への出力部（MOSトランジスタN0～N3）と、各出力部に接続された正の高電圧レベルシフトHVからなっている。

【0128】なお、このビット線電圧供給回路7Aの各出力は、MOSトランジスタ（Tr10～Tr13は書き込み時、オン状態、それ以外はオフ状態）を介して、出力端子（mb10～mb13）となり、データ保護用メモリセルアレイの各々のドレインDに接続されている。

【0129】制御信号oni（i=0～3）がハイレベル（電源電圧Vccレベル）の時、正の高電圧レベルシフトHVの出力端子hhoutがハイレベルとなることから、出力部のMOSトランジスタNi（i=0～3）がオンすることでMOSトランジスタTri（i=0～3）を介して、出力端子mbli（i=0～3）にhdの値、例えば、6Vが出力されるものである。

【0130】データ保護用メモリセル内の書き込むべきメモリセルが、例えば、BS0とすれば、制御信号on0がハイレベルで入力され、メモリセルBS0のドレインに接続される出力端子mb10に、例えば、6Vが印加される。

【0131】一方、書き込みを行わないデータ保護用メモリセルBS1～BS3のドレインには基準電圧0Vを印加するため、制御信号on1～on3をロウレベル（基準電圧0Vレベル）にする。

【0132】図2に図示していないが、リファレンスセル側のドレインDにも同様なビット線電圧供給回路が設置されており、各ドレインDを基準電圧0Vに印加して

【0133】これにより、メモリセルBS0のフローティングゲートFGに電子を注入し、そのしきい値電圧 $V_{th}$ を書き込み状態（4.5V以上）にすることで、データ領域の該当するブロックB0のデータ保護機能が有効となる。

【0134】次に、データ保護用メモリセルアレイ4の消去であるが、この時はデータ保護用メモリセルと、全てのリファレンスセルが一括して消去される。

【0135】図4のワード線電圧供給回路部5では、 $h_{nvneg}$ に、例えば、-9Vが出力され、制御信号 $erson$ が10 ハイレベル（電源電圧 $V_{cc}$ レベル）に立ち上がり、制御信号 $mwlon$ はロウレベル（基準電圧0Vレベル）にする。

【0136】これにより、正の高電圧レベルシフタHVの出力端子 $hhoutb$ は、ハイレベル（ $hhwlmx$ レベル）となることから、出力部のMOSトランジスタP1はオフ状態、一方、MOSトランジスタN1はオン状態となる。

【0137】また、負の高電圧レベルシフタNVの出力端子 $hnout$ は、ハイレベルとなることから電圧切10 換部のMOSトランジスタP2はOFF状態、N2はON状態となる。

【0138】従って、ワード線には、 $h_{nvneg}$ レベル（例えば、-9V）が出力されることになる。

【0139】ソース線電圧供給回路部6では、制御信号 $erswel$ をハイレベル（電源電圧 $V_{cc}$ レベル）に15 立ち上げる。これにより、正の高電圧レベルシフタHVの出力端子 $hhoutb$ はロウレベル（基準電圧）を出力し、出力部のMOSトランジスタP1はON状態、一方、MOSトランジスタN1はオフ状態となるため、 $h_{vs}$ が5Vであれば、ソース線には5Vが出力される。

【0140】さらに、ビット線電圧供給回路／センスアンプ回路部7は、MOSトランジスタ $Tr10 \sim Tr13$ （図8を参照）、MOSトランジスタ $Tr00 \sim Tr03$ （図2参照）、MOSトランジスタ $Trpv$ 、 $Tr$  20  $ev$ 、 $Trre$ （図2参照）をOFF状態に制御するため、各ドレインはオープン状態となる。

【0141】以上において説明したように、表1にメモリセルの消去時の印加電圧を示しているが、データの保護機能を無効にする際には、ワード線に図4に示すワ20 ード線電圧供給回路部5において $erson$ 信号がハイレベルとなり $h_{nvneg}$ 電圧（例えばDC-9V）がゲートに出力される。このように、ワード線電圧供給回路部5から負電圧をゲートに印加し、ソース線電圧供給回路部6から高電圧を印加して、ソースSとコントロールゲートCG間に高電界を発生させ、FNトンネル電流を利用して注入した電位を引き抜くことによって、データ保護用メモリセルアレイ4に書き込まれたセキュリティ情報およびリード／ベリファイ用リファレンスセルアレイ3に書き込まれているリファレンスの情報が消去され 50

る。

【0142】最後に読出しについては、まず、ワード線電圧供給回路5において、制御信号 $mwlon$ をロウレベル（基準電圧レベル）に、一方、制御信号 $erson$ をロウレベル（基準電圧レベル）にする。

【0143】これにより、負の高電圧レベルシフタ回路NVの出力端子 $hnout$ はロウレベル（ $h_{nvneg}$ レベル）となることから、電圧切換部のMOSトランジスタP2はON状態、MOSトランジスタN2はOFF状態となり、電圧切換部からは $V_{cc}$ レベルが出力される。

【0144】そして、正の高電圧レベルシフタ回路HVの出力端子 $hhoutb$ からハイレベル（ $hhwlmx$ 電圧レベル）が出力されるため、出力部のMOSトランジスタP1はオフ状態、一方、MOSトランジスタN1はオン状態となり、結果、ワード線には5Vが出力される。

【0145】ソース線電圧供給回路部6は、書き込み時と同じ制御を行い、即ち、制御信号 $erswel$ をロウ15 レベル（基準電圧レベル）にすることで、正の高電圧レベルシフタ回路HVの出力は、 $hhoutb$ がハイレベル（ $h_{vs}$ 電圧レベル）となることから、出力部のMOSトランジスタP1はOFFとなり、MOSトランジスタN1はオン状態となることから、ソース線には基準電圧0Vが出力される。

【0146】一方、ビット線電圧供給回路／センスアンプ回路部7は、先に説明した通り、読み出し用リファレンスセルとの比較を行うことで、読出しを行うものであ20 る。

【0147】

【発明の効果】以上のように、本発明によれば、データ保護用メモリセルアレイに記録されたセキュリティ情報を消去する場合には、それに対応したリード／ベリファイ用リファレンスセルも同時に消去することにより、デバイスそのものの読出、書込、消去といった基本的な機能を使用不能にするため、セキュリティを保つと共にテ30 スト時間の短縮も視野に入れた、不揮発性半導体記憶装置のセキュリティ回路を得ることができるものである。

【図面の簡単な説明】

【図1】データ保護用メモリセルアレイを持つ本発明のフラッシュメモリの一実施形態を示すブロック図である。

【図2】本発明のフラッシュメモリにおける読み出し／判定回路の一構成例を示す回路図である。

【図3】本発明の一実施形態の不揮発性半導体記憶装置におけるセキュリティ回路の一構成例を示すブロック図である。

【図4】図1のワードライン電圧供給回路の一構成例を示す回路図である。

【図5】高電圧レベルシフタ回路の一構成例を示す回路

図である。

【図 6】負電圧レベルシフト回路の一構成例を示す回路図である。

【図 7】図 1 のソース電圧供給回路の一構成例を示す回路図である。

【図 8】図 1 のビットライン電圧供給回路の一構成例を示す回路図である。

【図 9】従来のフラッシュメモリにおけるメモリセルの基本構造を示す断面図である。

【図 10】従来のフラッシュメモリにおけるメモリセルのしきい値電圧分布図である。

【図 11】メモリセルアレイの 1 ブロック分の回路図図である。

【図 12】データ保護用メモリセルアレイを持つ従来の

フラッシュメモリのブロック図である。

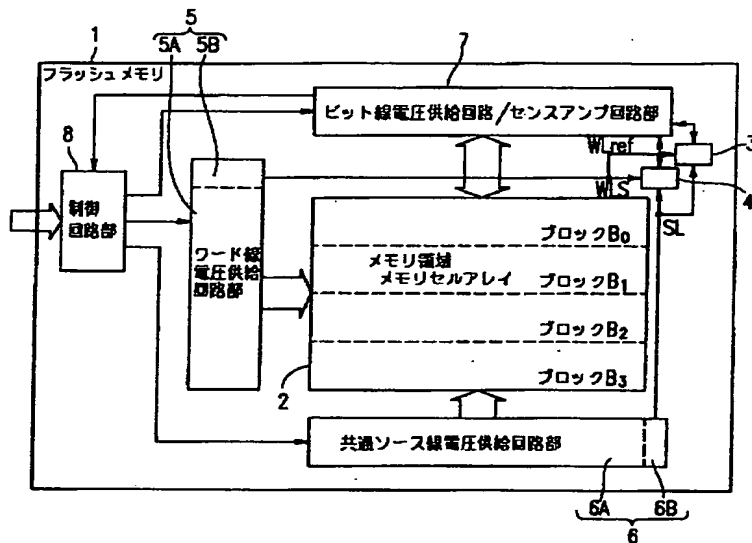
【図 13】従来のセキュリティ回路の一構成例を示す回路図である。

【図 14】従来のフラッシュメモリにおけるトリプルセル構造を持つメモリセルの断面図である。

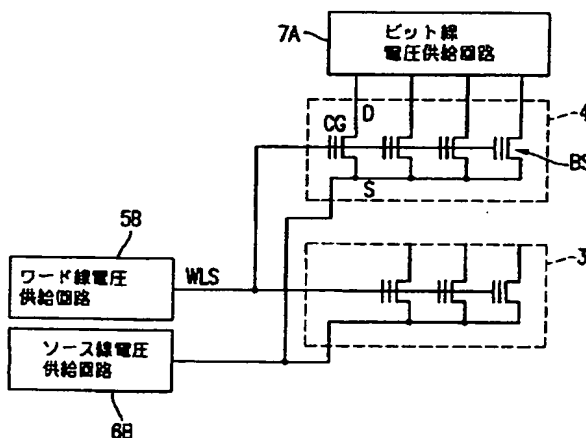
【符号の説明】

- 1 フラッシュメモリ
- 2 データ領域メモリセルアレイ
- 3 リファレンスセルアレイ
- 4 データ保護用メモリセルアレイ
- 5 ワード線電圧供給回路部
- 6 共通ソース線電圧供給回路部
- 7 ビット線電圧供給回路/センスアンプ回路部
- 8 制御回路部

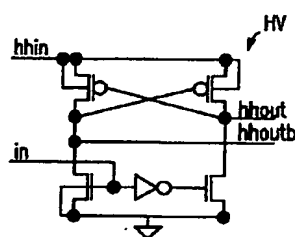
【図 1】



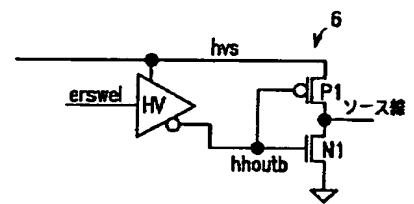
【図 3】



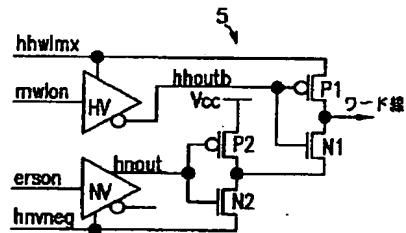
【図 5】



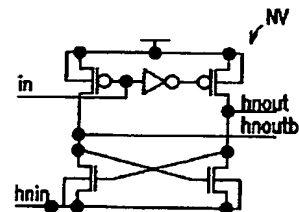
【図 7】



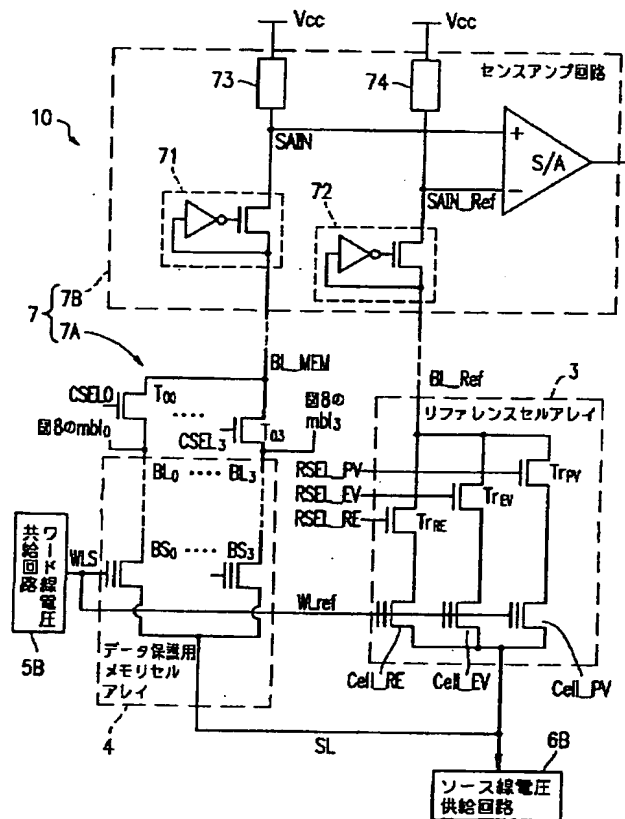
【図 4】



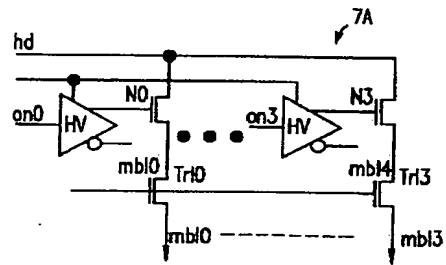
【図 6】



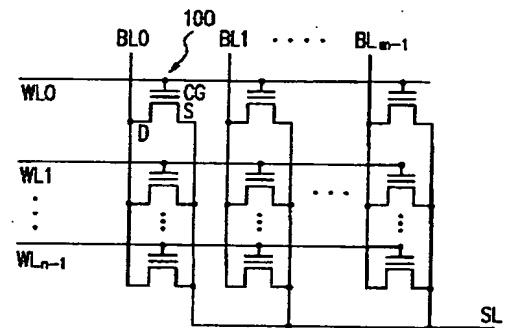
【図 2】



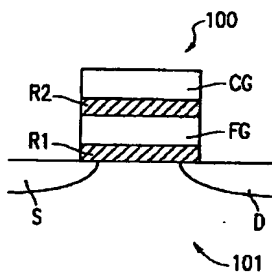
【図 8】



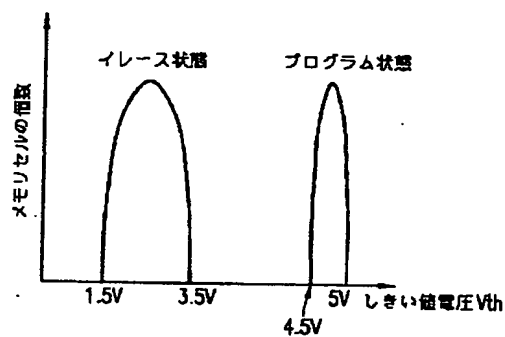
【図 11】



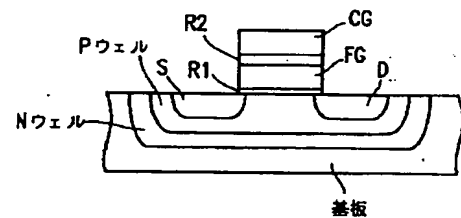
【図 9】



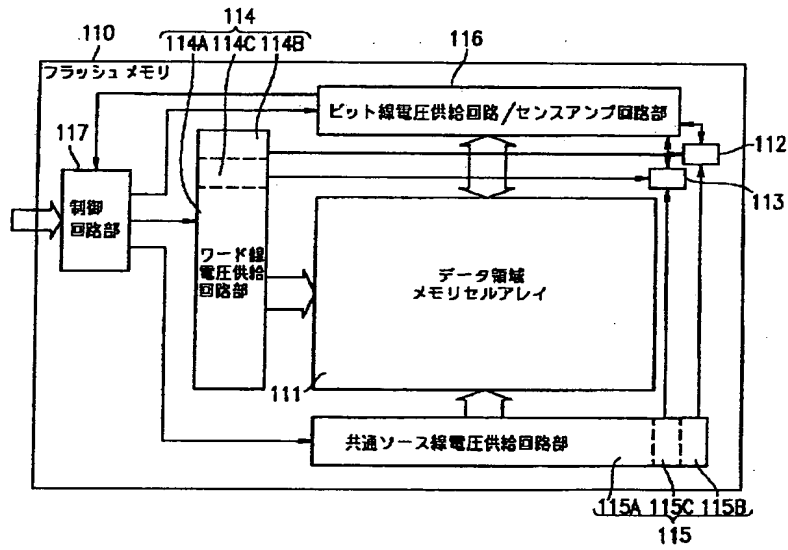
【図 10】



【図 14】



【図 12】



【図 13】

